

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57-204645

⑮ Int. Cl.³
H 04 B 7/26

識別記号

庁内整理番号
6429-5K

⑯ 公開 昭和57年(1982)12月15日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 個別選択呼出用受信機

⑰ 特 願 昭56-89789

⑱ 出 願 昭56(1981)6月10日

⑲ 発 明 者 中島健

東京都港区芝五丁目33番1号日
本電気株式会社内

⑲ 発 明 者 大八木孝司

東京都港区芝五丁目33番1号日
本電気株式会社内

⑳ 出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

㉑ 代 理 人 弁理士 井出直孝

明 細 書

1. 発明の名称

個別選択呼出用受信機

2. 特許請求の範囲

(1) 呼出番号とこの呼出番号に続くメッセージ信号とを含む信号により変調された搬送波を受信復調し、この復調信号が予め定めた自己信号に合致したときにその旨を報知する個別選択呼出用受信機において、受信検出された信号に対応する信号を記憶する第一の記憶部と、この第一の記憶部から転送された少なくとも一つの信号を記憶する第二の記憶部と、前記第一の記憶部に記憶された信号と第二の記憶部に記憶された信号とを比較し両者が異なるときに第二の記憶部へ第一の記憶部に記憶された信号を転送する手段とを含むことを特徴とする個別選択呼出用受信機。

3. 発明の詳細な説明

本発明は受信機呼出番号およびメッセージ信号

からなるデジタル符号化された呼出情報信号を受信する個別選択呼出用受信機に関する。特にメッセージ信号を記憶する個別選択呼出用受信機に関する。

従来、この種の個別選択呼出受信機では、受信機側の受信確率を上げる等の目的のために、送信基地局側では同一の呼出(同一呼出番号および同一メッセージ信号)を何回も繰返すリビートコールを行うことがある。

一方、呼出番号、メッセージ等の呼出情報を記憶するための呼出情報記憶部を少なくとも二個所以上有する個別選択呼出用受信機(以下、単に「受信機」という。)が、2以上の呼およびその呼に含まれる呼出情報を受信し、さらにその呼出情報を記憶する場合であつて、上記リビートコールが行われる場合には、上記2以上の呼を同一の呼であると判断しても差しつかえないが、従来の受信機は、その受信機の呼出番号を指定した呼を受信する度に、その呼出情報が以前受信した呼出情報と同一であるか否かにかかわらず、常に新

しい呼出情報であるものとして記憶し、それと同時に満杯になつた記憶情報を古い順に消去していた。

したがつて、上記リビートコールが行われる場合で同一呼出情報を有する呼(以下、「同一呼」という。)が連続して受信されると、受信機に少なくとも2個所以上存在する呼出情報用記憶部が同一の呼出情報で満杯もしくは満杯に近い状態に陥る欠点があつた。

本発明は、呼出情報が同一呼によつて必要以上に記憶され、これにより以前記憶してあつた有用な呼出情報を消去してしまふ従来の欠点を除去するもので、同一呼が受信された場合には以前から記憶してあつた有用な呼出情報を消去せず、呼出情報記憶部を有効に利用することができる個別選択呼出用受信機を提供することを目的とする。

本発明は、第1回目の呼が検出されると、その呼出情報は先ず副記憶部に記憶され、次いでその記憶内容は第2回目の呼が検出されると同時に主記憶部にシフトされ、その後第2回目の呼の呼

出情報が副記憶部に記憶されるように構成し、さらに副記憶部の内容と主記憶部の内容とを比較する比較部を設け、同一呼が受信された場合には、副記憶部から主記憶部へのシフトは行われないうに構成したことを特徴とする。

以下実施例図面に基づいて説明する。

第1図は本発明実施例受信機のブロック構成図である。第1図において、アンテナ1は被変調信号受信部2の入力に接続される。この被変調信号受信部2の出力は復調部3の入力に接続され、この復調部3の出力は呼出番号比較検出部4の入力に接続される。この呼出番号比較検出部4からは、記憶用呼出情報信号(以下「メッセージ信号」という。)Aおよびこのメッセージ信号Aに同期したクロックHおよび呼出番号検出パルスDが呼出情報記憶部5に送出される。また呼出番号比較検出部4で検出された呼出情報の一部は、呼出情報表出部6に送出される。この呼出情報表出部6は、呼出情報記憶部5の記憶内容を信号Lにより表出するように構成される。

このような構成で、いまアンテナ1を經由して呼出番号比較検出部4に受信された呼出情報を含む被変調信号は復調部3で復調された後に呼出番号比較検出部4で、その受信機のもつ呼出番号と照合され検出される。検出された呼出情報の一部は、呼出情報表出部6の表出を促し、他の一部は呼出情報記憶部5によつて一時記憶され、この呼出情報記憶部5の記憶内容は信号Lにより随時呼出情報表出部6に表出することができる。

第2図は上記メッセージ信号A、クロックH、および呼出番号検出パルスDのタイムチャートである。第2図において、Xは呼出番号検出パルスDが立下がつてからシフトクロックHが最初に立上るまでの時間、TはシフトクロックHの周期の2分の1時間、Yはメッセージ信号[4ビットのNRZ(non-return-to-zero)信号]Aの読込みを終えてシフトクロックHの最終のクロックパルスが立下がつてから次の呼の呼出番号検出パルスDが立下がるまでの時間である。また $t_1 \sim t_7$ は各パルスの立上がりまたは立下がり時刻

で、 $t_1 \sim t_7$ は第1回目の呼、 $t_8 \sim t_{10}$ は第2回目の呼、 $t_{11} \sim t_{13}$ は第3回目の呼を示している。ここで、X、T、YはJ-Kフリップフロップ内を1ビットが完全にシフトするのに十分な時間を保有するように設定する。

なお上記例では、メッセージ信号AおよびシフトクロックHは4ビット構成の例を示したが情報量により信号ビット数をこれ以上増加してもよい。

第3図は第1図に示した呼出情報記憶部5の詳細なブロック構成図である。第3図において、呼出情報記憶部5は、副記憶部7、第一の主記憶部8、第二の主記憶部9、および比較部10を有する。

この副記憶部7には、前記メッセージ信号AおよびクロックHが導かれる。この副記憶部7の出力は、第一の主記憶部8および比較部10に導かれる。この第一の主記憶部8の出力は、第二の主記憶部9および比較部10に導かれる。この比較部10には、呼出番号検出パルスDが入力し、比較部10は副記憶部7と第一の主記憶部8の各記

憶内容および副記憶部7と第二の主記憶部9の各記憶内容と比較し、端子B、F、Gを介して比較情報が取出される。またBは副記憶部7の記憶内容と第一の主記憶部8の記憶内容とが異なり、かつ副記憶部7の記憶内容と第二の主記憶部9の記憶内容とが異なる場合にのみ発生するシフトパルスであり、GおよびFはシフトパルスBにより副記憶部7の記憶内容を第一の主記憶部8に、また第一の主記憶部8の記憶内容を第二の主記憶部9にメモリスフトするための信号線であり、さらにLは副記憶部7、第一の主記憶部8、および第二の主記憶部9の記憶内容を第1図に示した呼出情報表出部6に表出するための信号線である。

このような構成で、電源投入後、第1回目のメッセージ信号Aは、まず副記憶部7に記憶されて、この副記憶部7の記憶内容は、比較部10に送られる。次に第2回目の呼が受信され比較部10に呼出番号を検出したことを知らせる検出パルスDが入力すると同時に(第2図t₀)、検出パルスDがそのままシフトパルスBとなり、副記憶部7

のメッセージ内容は第一の主記憶部8にメモリスフトされる。次いでその直後に(第2図t₁)、副記憶部7に第2回目の呼のメッセージ信号Aが入力され、比較部10で副記憶部7の記憶内容と主記憶部8、9の記憶内容とが比較される。

この比較部10は、副記憶部7の記憶内容と第一の主記憶部8の記憶内容とが異なり、かつ副記憶部7の記憶内容と第二の主記憶部9の記憶内容とが異なる場合にのみシフトパルスBを発生できる状態にする機能をもつ。そこでこのシフトパルスBが発生できる状態で、第3回目の呼が受信され検出パルスDが発生すると(第2図t₁₁)、検出パルスDがそのままシフトパルスBとなり、副記憶部7の記憶内容は第一の主記憶部8に、第一の主記憶部8の記憶内容は第二の主記憶部9にメモリスフトされる。次いでその直後に(第2図t₁₂)、副記憶部7に第3回目の呼のメッセージ信号Aが入力される。

以下上記の動作が継続し、主記憶部8または9の記憶内容が副記憶部7の記憶内容と同一である

場合には、検出パルスDが発生しても比較部10の機能によつてシフトパルスBは発生せず、したがつて副記憶部7から第一の主記憶部8に、および第一の主記憶部8から第二の主記憶部9にメモリスフトは行われず、副記憶部7の記憶内容のみが次のメッセージ信号Aによつて更新される。

第4図は第3図に示した呼出情報記憶部5の詳細なブロック構成図である。第4図の呼出情報記憶部5は、第3図に示した各記憶部を4個のJエフリップフロップを用いた4ビット構成とし、また比較部をアンド回路1個、オア回路2個、ノア回路8個のみで構成したものである。

第4図において、各符号は第3図の各符号にそれぞれ対応する。副記憶部7には、メモリ用Jエフリップフロップ11~14が、また第一の主記憶部8には、メモリ用Jエフリップフロップ15~18が、さらに第二の主記憶部9には、メモリ用Jエフリップフロップ19~22が設けられ、また比較部10には、ノア回路23~30、オア回路31、32およびアンド回路33が設けられ、さらに副記

憶部7には、インバータ回路34が設けられ、図のように構成されている。なお信号L(L₁、L₂、L₃)は本発明に直接関係がないので説明を省略する。

このような構成で、本実施例の記憶部の動作を説明すると、副記憶部7は直列レジスタを構成していて、メッセージ信号AがシフトクロックHによつて副記憶部7に入力され信号が入力し終ると、クロックHは止まる。入力し終つた副記憶部7のメッセージは、端子Bを介してノア回路23~26および27~30に入り、端子Fに入る第一の主記憶部8の出力および端子Gに入る第二の主記憶部9の出力とそれぞれ比較される。

ここで副記憶部7と第一の主記憶部8が、あるいは副記憶部7と第二の主記憶部9が少しでも異なると、オア回路31あるいは32はハイレベルとなる。このオア回路31および32がともにハイレベルのときのみ検出パルスDによりシフトパルスBは発生し得る。したがつて副記憶部7の記憶内容が第一の主記憶部8の記憶内容と異なり、かつ

副記憶部7の記憶内容が第二の主記憶部9の記憶内容と異なる場合には、シフトパルスBが発生し、副記憶部7のメッセージは第一の主記憶部8に、第一の主記憶部8のメッセージは第二の主記憶部9にシフトされ、第二の主記憶部9のメッセージは消去される。そしてその直後に新しいメッセージが副記憶部7に入力されることになる。

逆に、副記憶部7の記憶内容と第一の主記憶部8の記憶内容、あるいは副記憶部7の記憶内容と第二の主記憶部9の記憶内容のうち少なくとも一方が全く等しい場合には、オア回路31あるいは32の出力はローレベルとなり、検出パルスDが入力されてもシフトパルスBは発生せず、第一の主記憶部8および第二の主記憶部9の記憶内容はそのまま保持される。

なお上記実施例では、記憶部数が3個、一記憶部内のビット数が4個の例を示したが、これに限らず各記憶部を m 個のJKフリップフロップを用いた m ビット構成とし、また比較部をアンド回路1個、オア回路 $(n-1)$ 個、ノア回路 $[(n-1)$

$\times m]$ 個のみで構成しても同様に実施することができる。ここで n は記憶部数、 m は一記憶部内のビット数である。

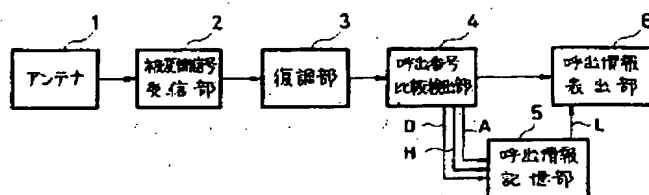
また本発明の機能はCPU（中央処理装置）を用いても実現することが可能である。

以上述べたように、本発明によれば、アンド回路、オア回路、ノア回路のみを使用した簡単な呼出情報比較部を用いることにより、同一呼が受信された場合には、以前からの記憶は消去されず、呼出情報記憶部を有効に利用することができる優れた効果がある。

またこの効果に合わせて、同一呼が受信された場合には、アラート・振動・LED表示等を出さず、逆にその他の場合には上記アラート等を出すような機能を持たせることも容易に実現でき、とくに同一呼が連続して受信された場合におけるアラート等の煩しさを解消する利点もある。

4 図面の簡単な説明

第1図は本発明実施例受信機のブロック構成図。



第1図

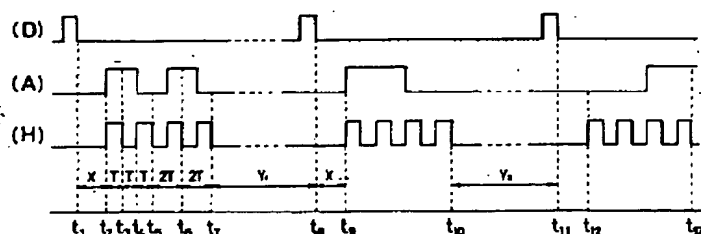
第2図は同じく動作タイムチャート。

第3図は同じく呼出情報記憶部のブロック構成図。

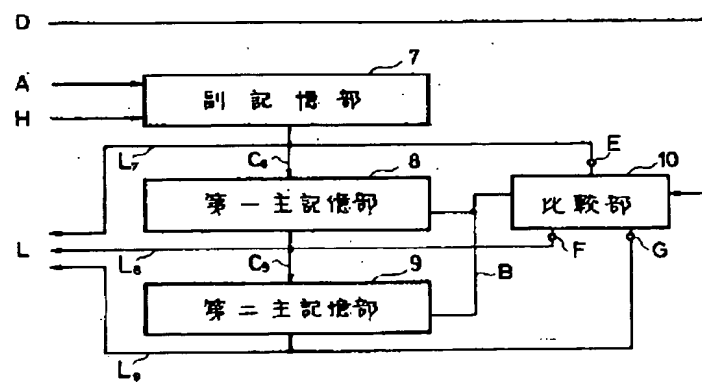
第4図は同じく呼出情報記憶部の詳細なブロック構成図。

1…アンテナ、2…被変調信号受信部、3…復調部、4…呼出番号比較検出部、5…呼出情報記憶部、6…呼出情報表出部、7…副記憶部、8…第一の主記憶部、9…第二の主記憶部、10…比較部、11～22…JK用フリップフロップ、23～30…ノア回路、31、32…オア回路、33…アンド回路、34…インバータ回路。

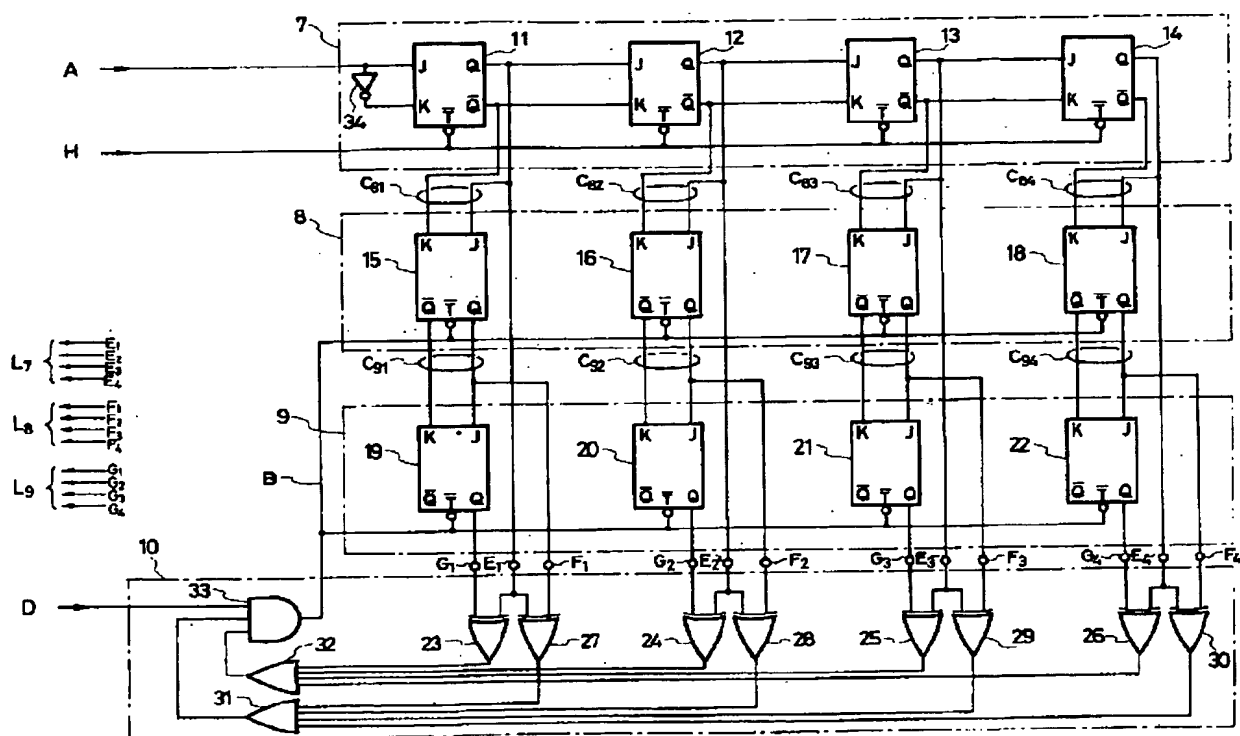
特許出願人 日本電気株式会社
代理人 弁理士 井出直幸



第2図



第 3 図



第 4 図